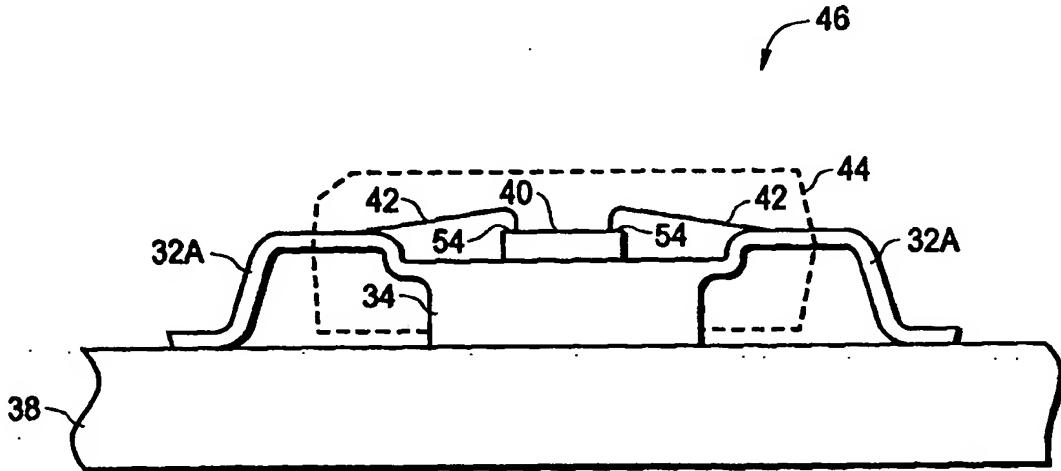


D6
INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification ⁶ : H05K 7/20		A1	(11) International Publication Number: WO 98/20718 (43) International Publication Date: 14 May 1998 (14.05.98)
<p>(21) International Application Number: PCT/US97/19309</p> <p>(22) International Filing Date: 3 November 1997 (03.11.97)</p> <p>(30) Priority Data: 08/746,064 6 November 1996 (06.11.96) US</p> <p>(71) Applicant: SILICONIX INCORPORATED [US/US]; 2201 Laurelwood Road, Santa Clara, CA 95054-0951 (US).</p> <p>(72) Inventors: KASEM, Mohammed; 2321 Regina Court, Santa Clara, CA 95054 (US). SHINE, Carl; 11592 Bridge Park Court, Cupertino, CA 95014 (US).</p> <p>(74) Agents: HEID, David, W. et al.; Skjerven, Morrill, MacPherson, Franklin & Friel LLP, Suite 700, 25 Metro Drive, San Jose, CA 95110 (US).</p>		<p>(81) Designated States: AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, HU, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, UZ, VN, YU, ZW, ARIPO patent (GH, KE, LS, MW, SD, SZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).</p> <p>Published <i>With international search report.</i> <i>With amended claims.</i></p>	

(54) Title: HEAT SINK-LEAD FRAME STRUCTURE



(57) Abstract

A surface mount package includes a unitary combination heat sink and lead frame, the heat sink (34) having mounted thereon a semiconductor die (40) and being mounted to a printed circuit board (38). The heat sink (34) and certain leads (32a) of the lead frame provide heat conduction paths from the die (40) to the printed circuit board (38), for highly efficient dissipation of heat.

FOR THE PURPOSES OF INFORMATION ONLY

Codes used to identify States party to the PCT on the front pages of pamphlets publishing international applications under the PCT.

AL	Albania	ES	Spain	LS	Lesotho	SI	Slovenia
AM	Armenia	FI	Finland	LT	Lithuania	SK	Slovakia
AT	Austria	FR	France	LU	Luxembourg	SN	Senegal
AU	Australia	GA	Gabon	LV	Latvia	SZ	Swaziland
AZ	Azerbaijan	GB	United Kingdom	MC	Monaco	TD	Chad
BA	Bosnia and Herzegovina	GE	Georgia	MD	Republic of Moldova	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagascar	TJ	Tajikistan
BE	Belgium	GN	Guinea	MK	The former Yugoslav Republic of Macedonia	TM	Turkmenistan
BF	Burkina Faso	GR	Greece	ML	Mali	TR	Turkey
BG	Bulgaria	HU	Hungary	MN	Mongolia	TT	Trinidad and Tobago
BJ	Benin	IE	Ireland	MR	Mauritania	UA	Ukraine
BR	Brazil	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Iceland	MX	Mexico	US	United States of America
CA	Canada	IT	Italy	NE	Niger	UZ	Uzbekistan
CF	Central African Republic	JP	Japan	NL	Netherlands	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norway	YU	Yugoslavia
CH	Switzerland	KG	Kyrgyzstan	NZ	New Zealand	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Democratic People's Republic of Korea	PL	Poland		
CM	Cameroon	KR	Republic of Korea	PT	Portugal		
CN	China	KZ	Kazakhstan	RO	Romania		
CU	Cuba	LC	Saint Lucia	RU	Russian Federation		
CZ	Czech Republic	LI	Liechtenstein	SD	Sudan		
DE	Germany	LK	Sri Lanka	SE	Sweden		
DK	Denmark	LR	Liberia	SG	Singapore		
EE	Estonia						

HEAT SINK-LEAD FRAME STRUCTURE

FIELD OF THE INVENTION

This invention relates to a unitary design of heat
5 sink and lead frame structure for semiconductor
applications.

BACKGROUND OF THE INVENTION

A typical dual inline surface mount package 10 is
10 shown in Fig. 1. Such a device 10 includes a heat sink
12 which may, for example, be of copper, and a
semiconductor die 14 mounted thereon. Leads 16 are
connected to the die 14 by means of conducting wires
18, and the die 14, conducting wires 18, and inner ends
15 of the leads 16 are encapsulated in packaging material
20 as is well known. The extended ends of the leads 16
are soldered to appropriate parts of a printed circuit
board 22. It will be seen that a direct heat
conduction path is provided from the die 14 inside the
20 package 20 through the heat sink 12 to the board 22.

As a result, the structure can deal with a
relatively large amount of power, and can also
appropriately dissipate a relatively large amount of
heat. However, in the interest of adding cooling
25 capacity to the structure, additional heat conduction
paths have been used. For example, with reference to
Fig. 2, double-sided thermally conductive adhesive film
on tape 24 is used to attach certain leads 16 to the

heat sink 12. While this structure has some advantages, the adhesive tape 24 has poor thermal conduction characteristics, and is also relatively expensive.

5 In Fig. 3, certain leads 16 are riveted directly to the heat sink 12 by means of rivets 26, providing leads 16 as additional paths for the dissipation of die heat to the printed circuit board 22. This device, however, provides a high level of interfacial
10 resistance between the leads 16 and heat sink 12. Also, this approach is expensive and has reliability problems.

SUMMARY OF THE INVENTION

15 In accordance with the present invention, a surface mount package includes a unitary combination heat sink and lead frame, the heat sink having mounted thereon a semiconductor die and being mounted to a printed circuit board. The heat sink and certain leads 20 of the lead frame provide heat conduction paths from the die to the printed circuit board, for highly effective dissipation of heat.

BRIEF DESCRIPTION OF THE DRAWINGS

25 Figs. 1, 2 and 3 are cross sectional views showing prior art devices;

Fig. 4 is a plan view of the present inventive unitary heat sink-lead frame structure;

Fig. 5 is a cross-sectional view of the inventive device; and

Fig. 6 is a cross-sectional view of the basic element used in achieving the invention of Fig. 4.

5

DESCRIPTION OF THE PREFERRED EMBODIMENT

With reference to Figs. 4 and 5, shown therein is an embodiment of the present invention. As shown in Fig. 4, a unitary structure, heat sink-lead frame 30, 10 i.e., a single piece having no separate parts, is provided as the basis thereof. The heat sink-lead frame structure 30 is shown as having 16 leads 32, including four leads 32A which extend from the heat sink 34, and 12 leads 32B which in accordance with 15 common practice have their inner ends spaced frame and not connected to the heat sink 34 (of course, all leads of the lead frame in this form are connected by tie bars 36 as is well known, which will later be cut away, resulting in the leads 32A not being connected to the 20 heat sink 34 in any manner).

With reference to Fig. 5, the heat sink 34 is mounted directly to a printed circuit board 38, and has mounted thereon a semiconductor die. The die 40 is connected by conducting wires 42 to the leads 32, and 25 the extended ends of the leads 32 are soldered to the printed circuit board 38. In Fig. 5, the die 40 has ground pads 54 connected by conducting wires 42 to the leads 32A which in turn extend from the heat sink 34,

so that the leads 32A act as ground leads, meanwhile with other conducting wires connecting the die 40 and leads 32B so that those leads 32B are signal leads.

The die 40 and inner ends of the leads 32, along 5 with the conductive wires 42, are housed in appropriate packaging material 44 (also noted in dotted line in Fig. 4), and the tie bars 36 are cut away, all as is well known, in forming the final device 46, which includes heat sink 34 and leads 32A extending therefrom 10 as a unitary, single piece structure.

It will be seen that the heat sink 34 acts as a heat path for the die 40, as do the individual leads 32A extending from the heat sink 34.

This structure overcomes problems of the prior 15 devices by including additional heat conduction paths which provide good thermal conductivity, meanwhile with the structure being low cost and avoiding the problems of poor thermal conduction adhesive tape, or the interfacial resistance in the riveting approach 20 described above.

The lead frame-heat sink structure 30 can with advantage be formed by the dual gauge copper structure 48 of Fig. 6, wherein the relatively thick portion 48A which will define the heat sink 34 has a thickness X 25 between the arrows which is 50 mils, while the portions 48B which will define the leads 32 have a thickness indicated by Y between the arrows which is 15 mils.

CLAIMS

What we claim is:

1. A structure comprising a heat sink and a lead frame, the heat sink and lead frame being a unitary structure.

2. The structure of Claim 1 wherein the lead frame comprises at least one lead.

10 3. The structure of Claim 1 wherein the lead frame comprises a plurality of leads.

15 4. The structure of Claim 1 and further comprising a semiconductor die mounted on the heat sink.

5. The structure of Claim 1 wherein the heat sink-lead frame unitary structure is copper.

20 6. The structure of Claim 1 wherein the heat sink-lead frame unitary structure is a dual-gauge element.

25 7. A device comprising a heat sink and a lead extending therefrom, the heat sink and lead being a unitary structure.

8. The device of Claim 7 and further comprising
a die mounted on the heat sink.

9. The device of Claim 8 and further comprising
5 a conductive connector connecting the die and lead.

10. The device of Claim 9 and further comprising
a printed circuit board on which the heat sink is
mounted.

10

11. The device of Claim 10 and further comprising
an encapsulating member on the die and from which the
lead extends.

15

12. The device of Claim 7 wherein the heat sink-
lead unitary structure is copper.

13. The device of Claim 7 wherein the heat sink-
lead unitary structure is a dual-gauge element.

20

AMENDED CLAIMS

[received by the International Bureau on 10 April 1998 (10.04.98);
original claims 1-13 replaced by amended claims 1-7 (2 pages)]

1. A structure comprising a semiconductor die, heat sink and a lead frame,
 - 5 said lead frame comprising a plurality of thermally and electrically conductive leads, at least two of said leads being thermally connected to said heat sink and electrically connected to said semiconductor die,
 - 10 the other's of said plurality of conductive leads being only electrically connected to said semiconductor die,
 - 15 the heat sink and the lead frame, including all of said leads, being a unitary structure.
2. The structure of Claim 1 wherein the heat sink-lead frame unitary structure is copper.
3. The structure of Claim 1 wherein the heat sink-lead frame unitary structure is a dual-gauge element.
4. The device of Claim 1 and further comprising a printed circuit board on which the heat sink is mounted.

5. The device of Claim 1 and further comprising an encapsulating member on the die and from which said leads extend.

5 6. The device of Claim 4 wherein the heat sink-lead unitary structure is copper.

7. The device of Claim 4 wherein the heat sink-lead unitary structure is a dual-gauge element.

10

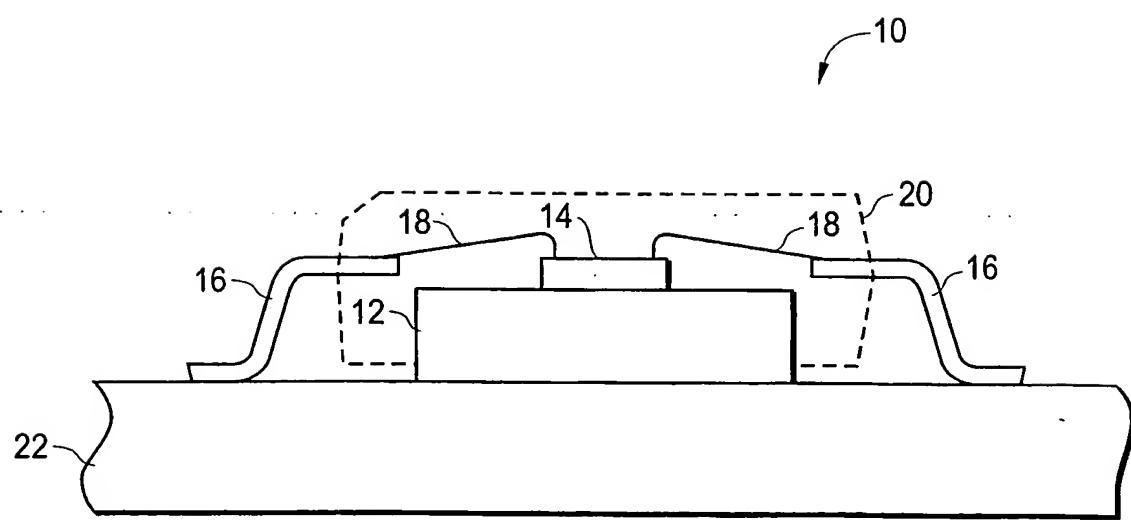


FIG. 1 (PRIOR ART)

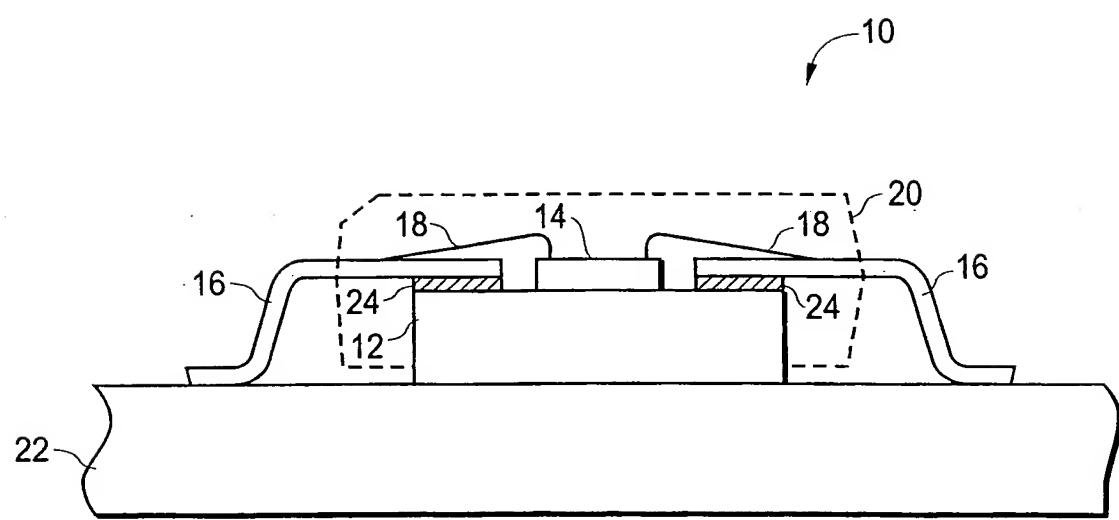
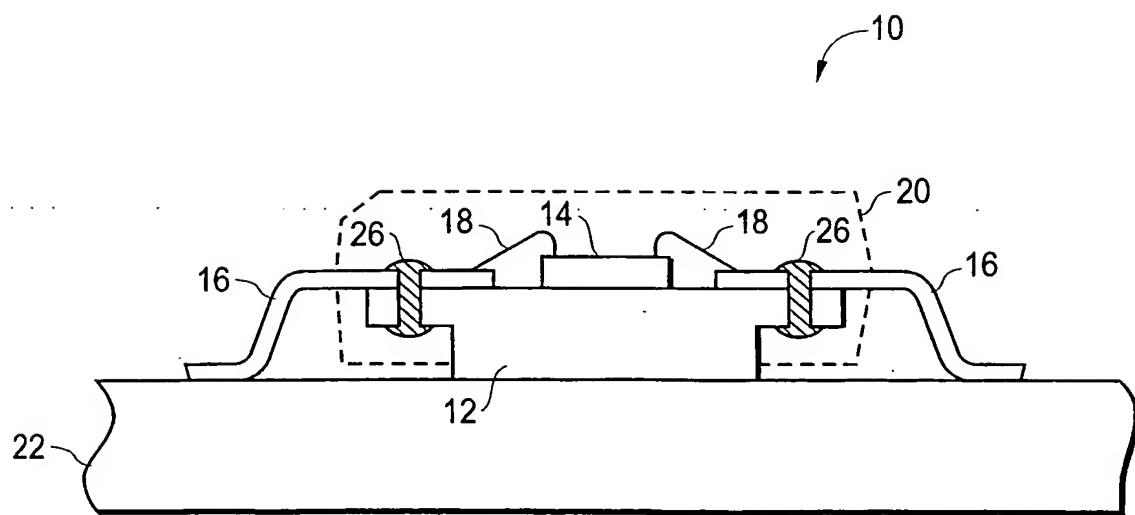


FIG. 2 (PRIOR ART)

3/6

**FIG. 3 (PRIOR ART)**

4/6

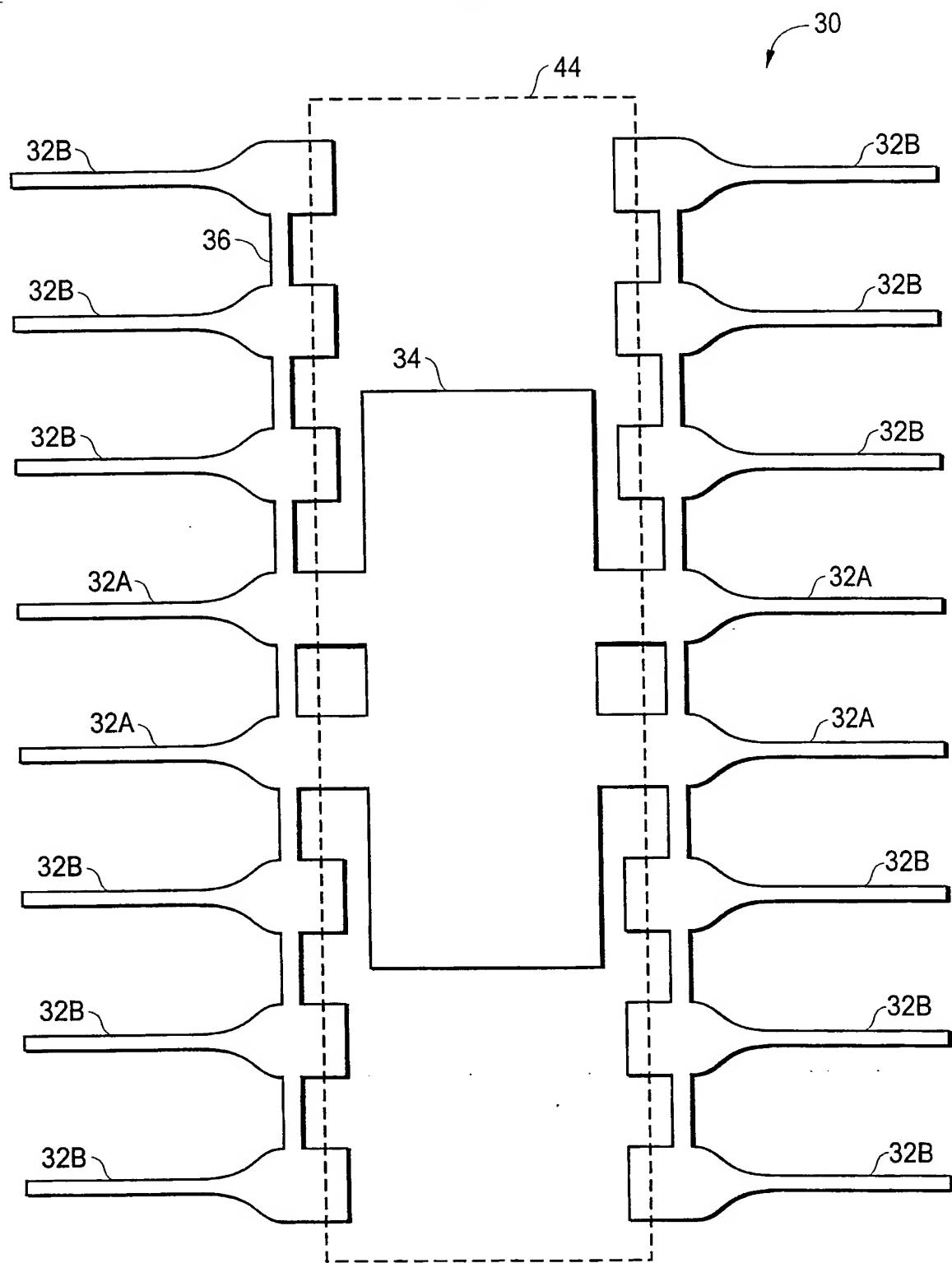


FIG.4

5/6

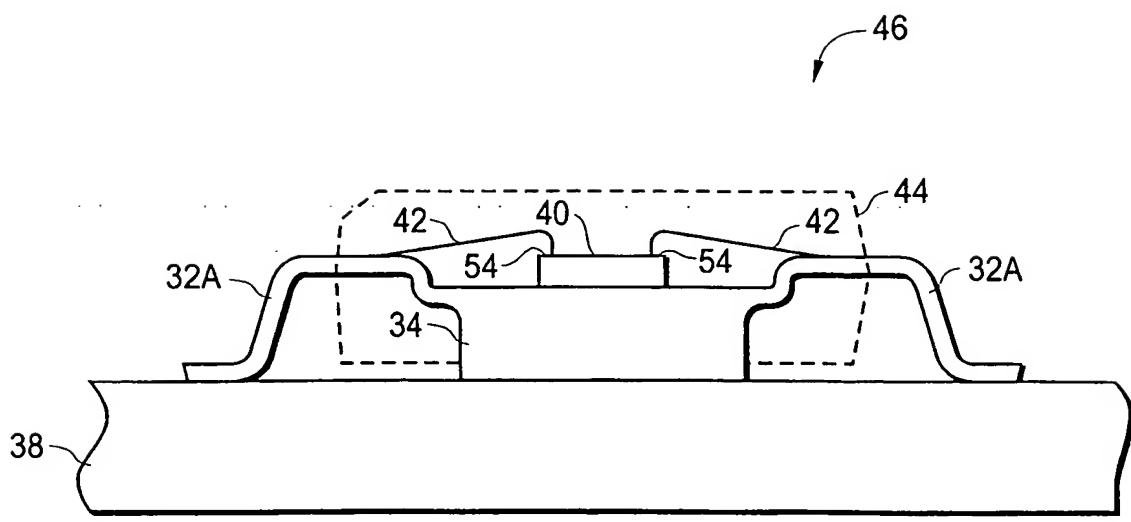
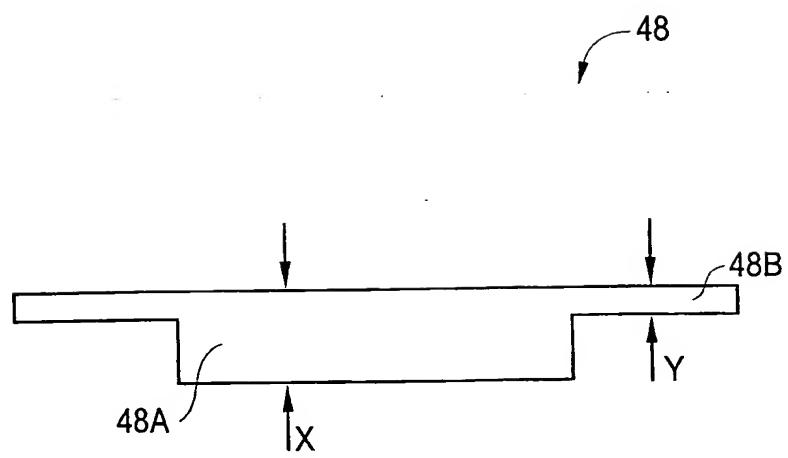


FIG.5

6/6

**FIG.6**

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C17 H01L 33/00

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. C17 H01L 33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公案	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-94123 A(株式会社シチズン電子), 2002. 03. 29, 全文, 全図(ファミリーなし)	1-3, 7
Y	JP 11-168235 A(豊田合成株式会社), 1999. 06. 22, 全文, 全図(ファミリーなし)	4, 6, 8
Y	JP 2001-223391 A(日亜化学工業株式会社), 2001. 08. 17, 全文, 全図(ファミリーなし)	1-4, 6-8
Y		1-4, 6-8

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

09.07.03

国際調査報告の発送日

22.07.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

吉野 三寛



2K 9010

電話番号 03-3581-1101 内線 3253

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/04821

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-298216 A (Matsushita Electric Industrial Co., Ltd.), 26 October, 2001 (26.10.01), Full text; all drawings (Family: none)	1-8
A	JP 11-121797 A (Matsushita Electronics Corp.), 30 April, 1999 (30.04.99), Full text; all drawings (Family: none)	1-8
A	JP 2001-36147 A (Nichia Chemical Industries, Ltd.), 09 February, 2001 (09.02.01), Full text; all drawings (Family: none)	1-8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/04821

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L33/00Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-94123 A (Citizen Electronics Co., Ltd.), 29 March, 2002 (29.03.02), Full text; all drawings (Family: none)	1-3, 7 4, 6, 8
Y	JP 11-168235 A (Toyoda Gosei Co., Ltd.), 22 June, 1999 (22.06.99), Full text; all drawings (Family: none)	1-4, 6-8
Y	JP 2001-223391 A (Nichia Chemical Industries, Ltd.), 17 August, 2001 (17.08.01), Full text; all drawings (Family: none)	1-4, 6-8

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 July, 2003 (09.07.03)Date of mailing of the international search report
22 July, 2003 (22.07.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

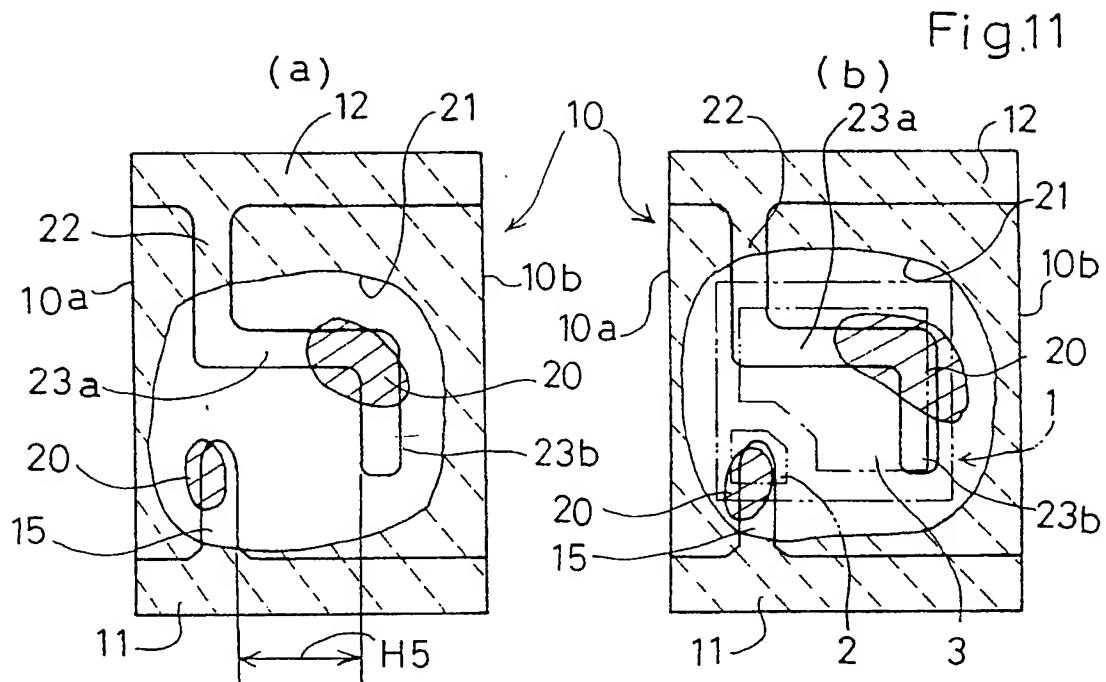


Fig 12

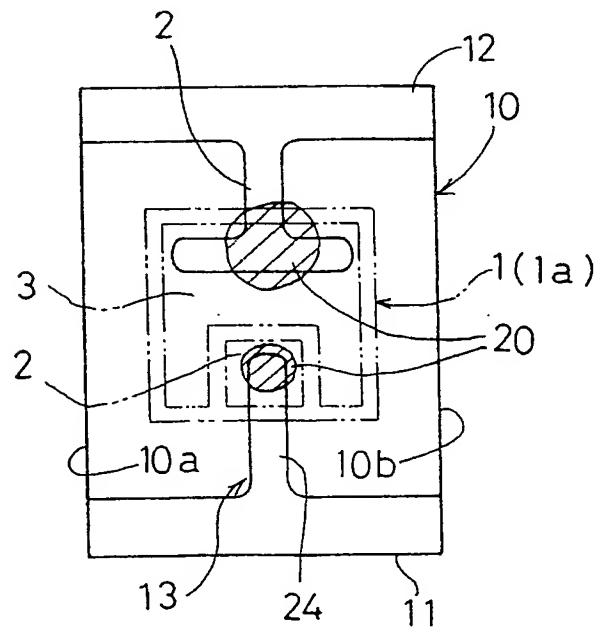


Fig.9

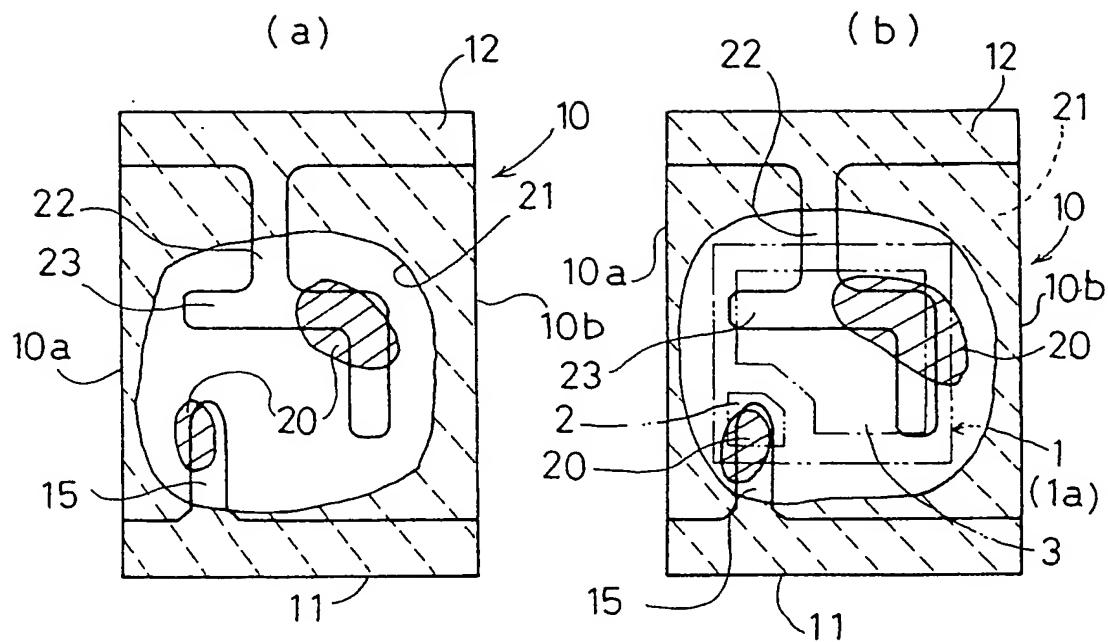


Fig.10

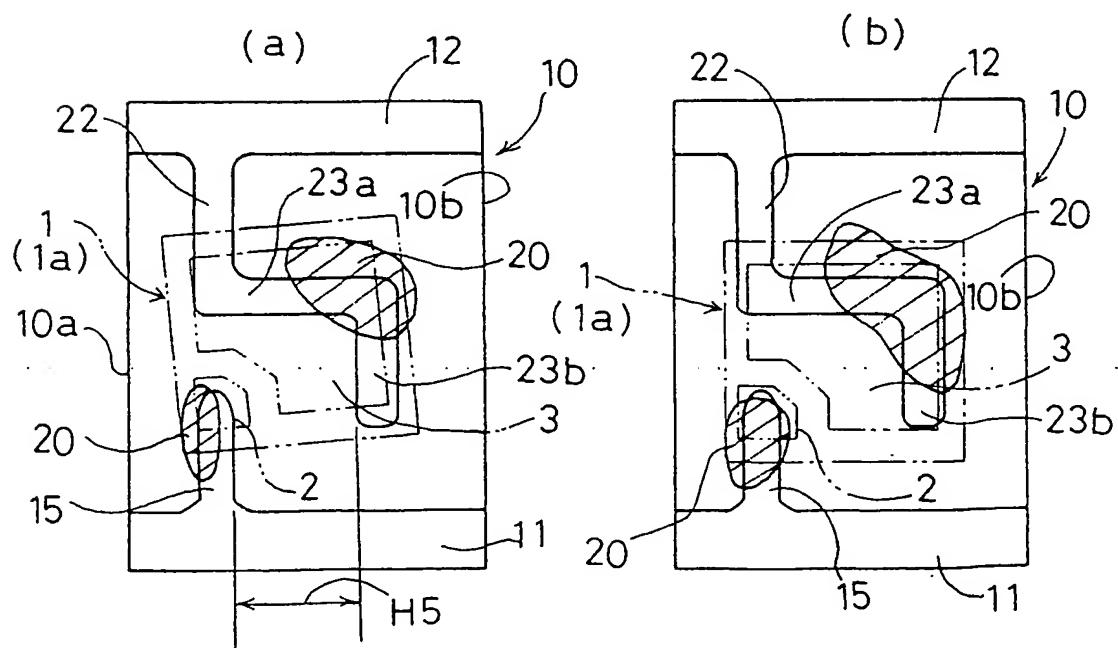


Fig.7

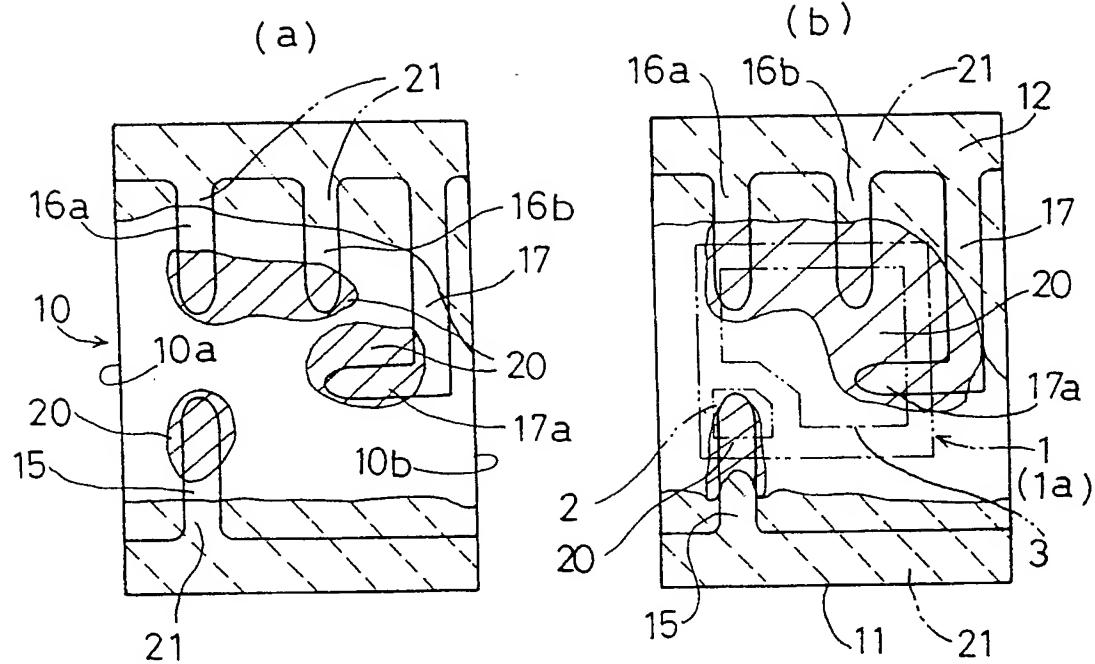


Fig.8

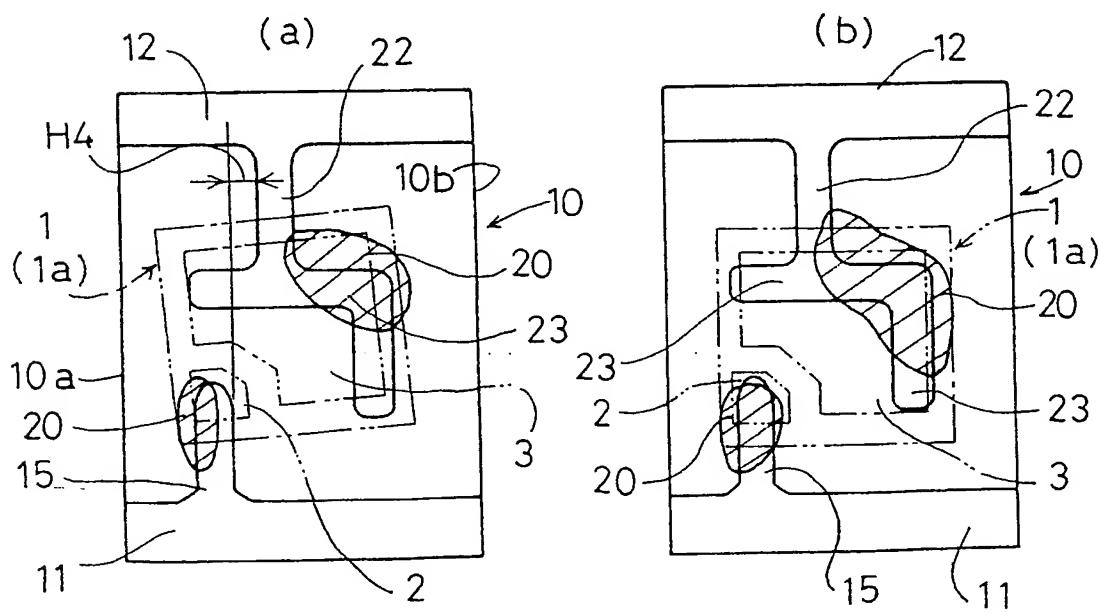


Fig.5

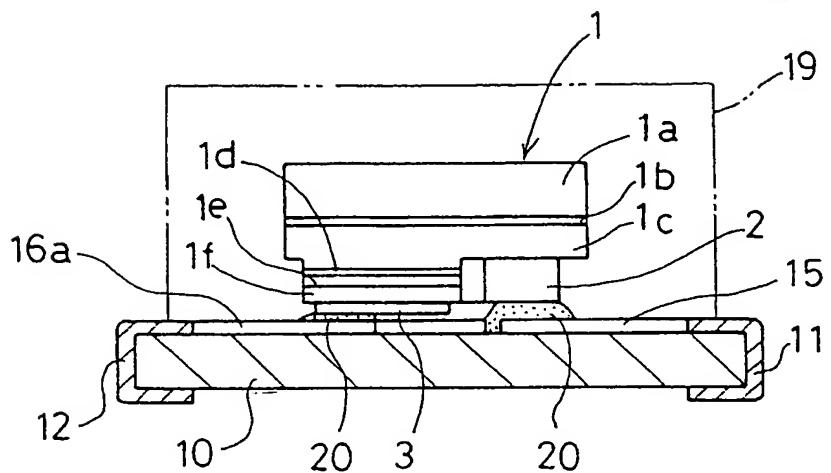


Fig.6

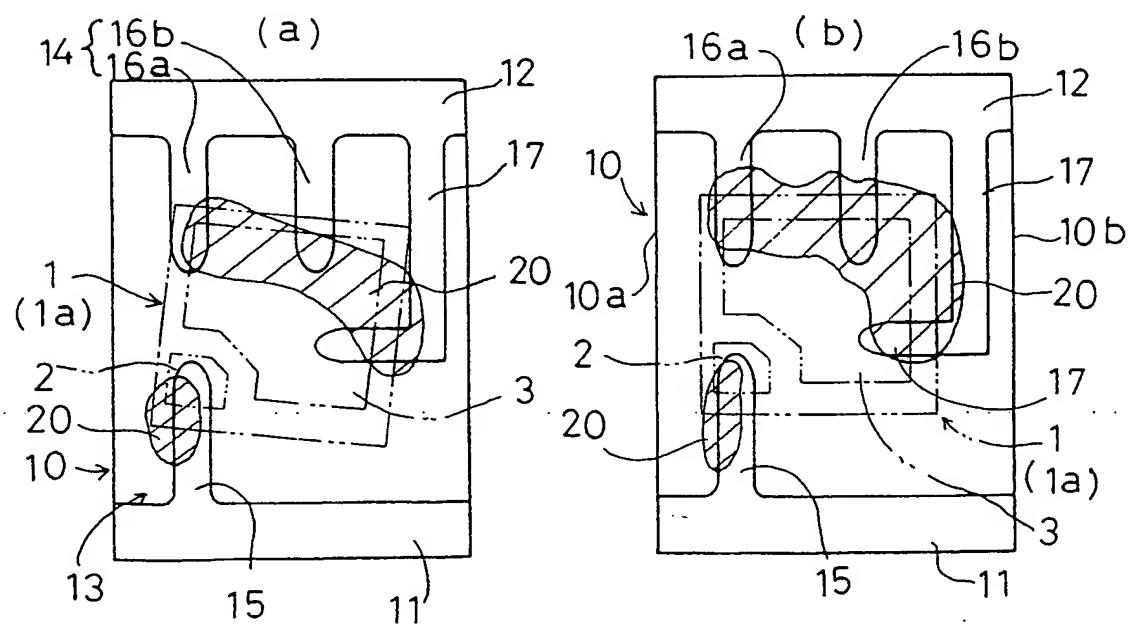


Fig.3

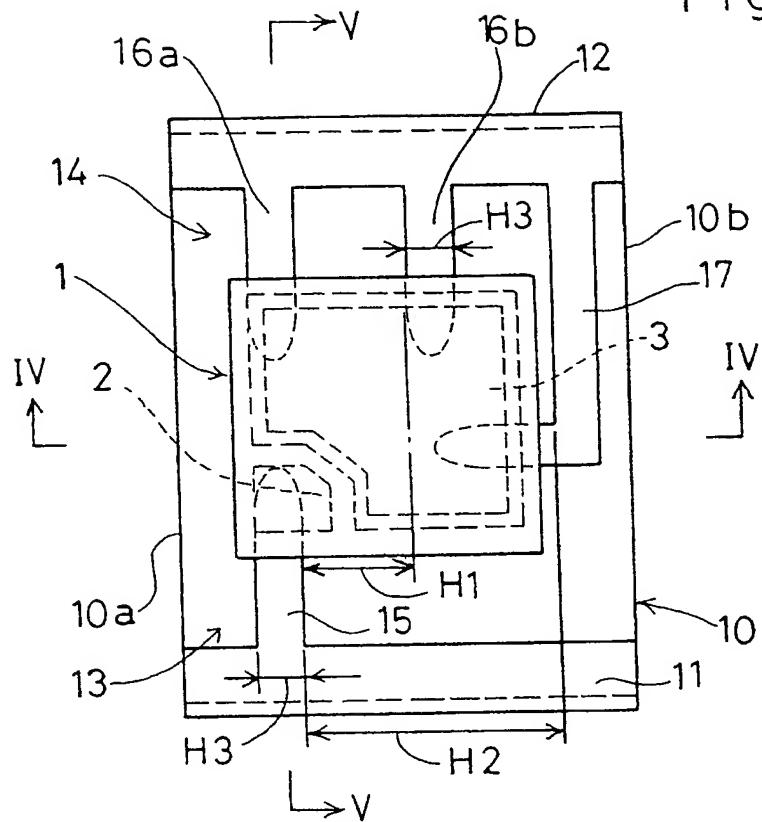


Fig.4

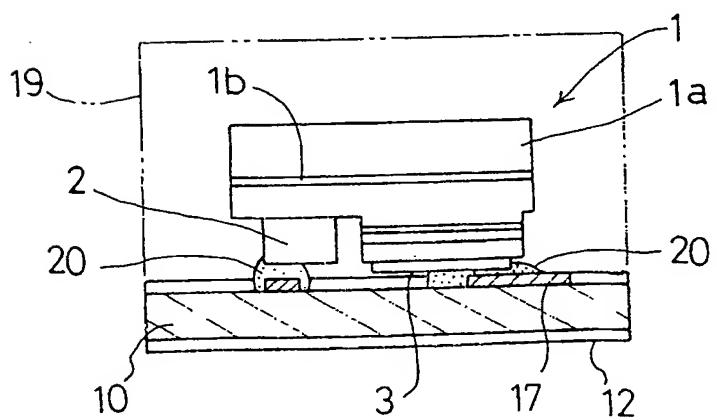


Fig.1

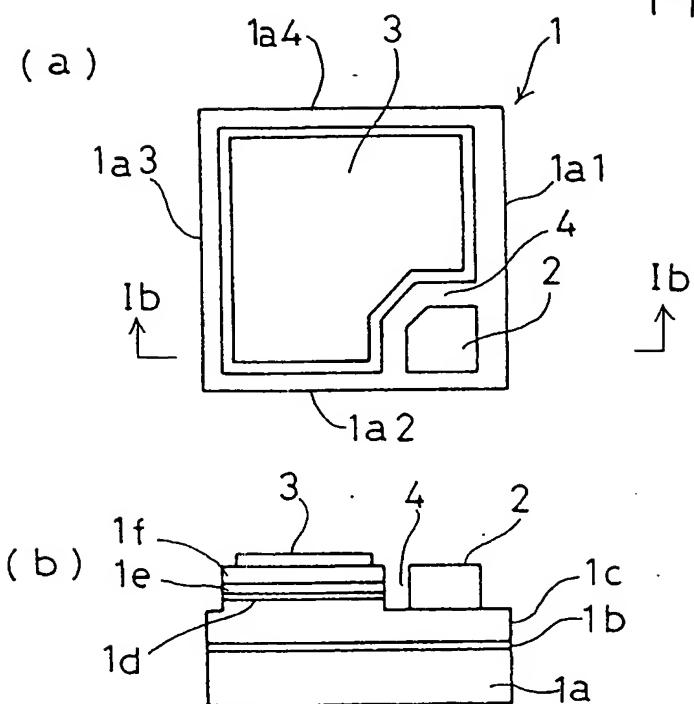
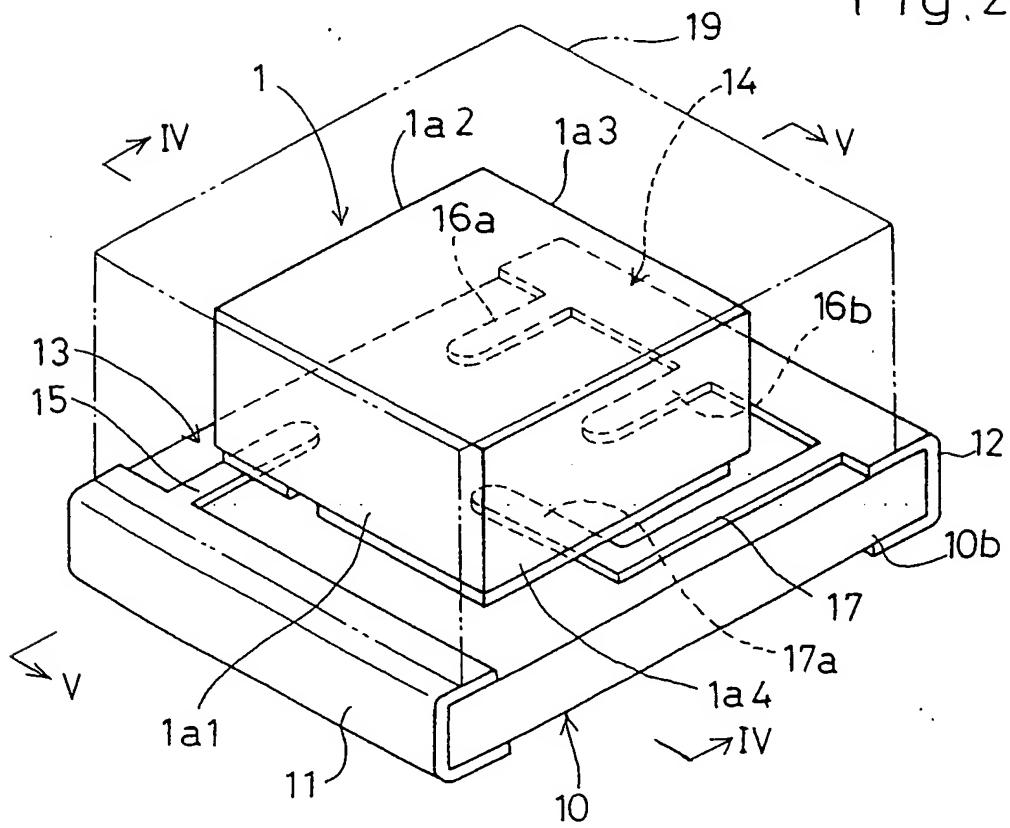


Fig. 2



に対して交差するように伸びていることを特徴とする半導体チップを使用した半導体装置。

4. 前記第2外部接続用電極の第2リード部には、その先端部に当該第2リード部の延びる方向と少なくとも交差する方向に伸びて前記第2電極部に接続する先端電極片を備えたことを特徴とする請求の範囲第1項乃至第3項のいずれかに記載の半導体チップを使用した半導体装置。

5. 前記第2外部接続用電極に第3リード部を連設し、該第3リード部は、前記結晶基板における前記第2リード部が交差する側辺と交差する側辺に対して略平行状に延び、且つ先端が当該側辺と交差して第2電極部に接触するように形成されていることを特徴とする請求の範囲第1項または第2項のいずれかに記載の半導体チップを使用した半導体装置。

6. 前記第1リード部、第2リード部及び第3リード部の幅寸法は、前記結晶基板における相対向する各側辺の長さの0.3～0.1倍程度に設定されていることを特徴とする請求の範囲第5項に記載の半導体チップを使用した半導体装置。

7. 前記半導体チップは、発光素子であり、少なくとも前記半導体チップを、光透過性の合成樹脂製のモールド部にてパッケージしたことを特徴とする請求の範囲第1項乃至第3項のいずれかに記載の半導体チップを使用した半導体装置。

8. レジスト膜を前記第1リード部、第2リード部及び第3リード部のうち半導体チップの外周寄り部位に形成したことを特徴とする請求の範囲第1項乃至第3項のいずれかに記載の半導体チップを使用した半導体装置。

面に形成された回路基板とからなり、

前記外部接続用電極は、前記第1電極部に接続する第1リード部を有する第1外部接続用電極と、前記第2電極部に接続する第2リード部を有する第2外部接続用電極とにより構成され、

前記第1外部接続用電極における細巾の第1リード部は、前記結晶基板における1側辺と交差するように伸び、

前記第2外部接続用電極における少なくとも一本の細巾に形成された第2リード部は、前記第1リード部が伸びる方向と反対向きに延び、且つ前記第1リード部が交差する前記1側辺と略平行な結晶基板の1側辺に対して交差するように伸びており、

前記第2リード部の先端部には前記第2電極部と接続し、且つ前記第1リード部と平行状であって、適宜寸法だけ偏倚して配置される先端電極片を有していることを特徴とする半導体チップを使用した半導体装置。

3. 平面視略四角形状の結晶基板の片面に、当該結晶基板の一つ側辺の略中央部に形成された1つの小さい領域の第1電極部と、該第1電極部と対峙し且つ結晶基板の他の3側辺に沿って伸びるように形成された大きい領域の第2電極部とを備えた半導体チップと、

前記第1電極部及び第2電極部とにそれぞれ半田ペースト等の加熱溶融性のダイボンディング剤により接合される一対の外部接続用電極が表面に形成された回路基板とからなり、

前記外部接続用電極は、前記第1電極部に接続する第1リード部を有する第1外部接続用電極と、前記第2電極部に接続する第2リード部を有する第2外部接続用電極とにより構成され、

前記第1外部接続用電極における細巾の第1リード部は、前記結晶基板における1側辺と交差するように伸び、

前記第2外部接続用電極における少なくとも一本の細巾に形成された第2リード部は、前記第1リード部が伸びる方向と反対向きに延び、且つ前記第1リード部が交差する前記1側辺と略平行な結晶基板の1側辺

請求の範囲

1. 平面視略四角形状の結晶基板の片面に、当該結晶基板の一つの角部に形成された1つの小さい領域の第1電極部と、該第1電極部と対峙し且つ前記1つの角部に対して対角線上に位置する他の角部を含み、当該他の角部を挟む結晶基板の2側辺に沿って伸びるように形成された大きい領域の第2電極部とを備えた半導体チップと、

前記第1電極部及び第2電極部とにそれぞれ半田ペースト等の加熱溶融性のダイボンディング剤により接合される一対の外部接続用電極が表面に形成された回路基板とからなり、

前記外部接続用電極は、前記第1電極部に接続する第1リード部を有する第1外部接続用電極と、前記第2電極部に接続する第2リード部を有する第2外部接続用電極とにより構成され、

前記第1外部接続用電極における細巾の第1リード部は、前記結晶基板における1側辺と交差するように伸び、

前記第2外部接続用電極における少なくとも一本の細巾に形成された第2リード部は、前記第1リード部が伸びる方向と反対向きに延び、且つ前記第1リード部が交差する前記1側辺と略平行な結晶基板の1側辺に対して交差するように伸びており、

前記第1リード部及び第2リード部は、互いに適宜寸法だけ偏倚して配置されていることを特徴とする半導体チップを使用した半導体装置。

2. 平面視略四角形状の結晶基板の片面に、当該結晶基板の一つの角部に形成された1つの小さい領域の第1電極部と、該第1電極部と対峙し且つ前記1つの角部に対して対角線上に位置する他の角部を含み、当該他の角部を挟む結晶基板の2側辺に沿って伸びるように形成された大きい領域の第2電極部とを備えた半導体チップと、

前記第1電極部及び第2電極部とにそれぞれ半田ペースト等の加熱溶融性のダイボンディング剤により接合される一対の外部接続用電極が表

る各リード部の伸びる方向と発光ダイオードチップ1の一対の側面とが略平行になるように、姿勢修正できるからこの発光ダイオードチップ1をパッケージするモールド部19及び回路基板10における幅寸法を、従来の場合よりも小さくでき、ひいては、チップ型LEDを小型・軽量化できるとともに、発光ダイオードチップ1からの発射される光の指向性のバラつきを小さくできるのである。

前記実施の形態は、発光ダイオードチップを使用したチップ型LEDに適用した場合であったが、本発明は、このチップ型LEDに限らず、ダイオード又はトランジスター等の他の半導体装置にも適用できることはいうまでもない。

一

ド部 2 5 を設け、この第 2 リード部 2 5 の先端には、前記第 2 電極部 3 に接合できる先端電極片 2 5 a が一体的に形成されているものである。

本実施形態では、発光ダイオードチップ 1 における第 1 電極部 2 及び第 2 電極部 3 が左右対称形状であると共に、第 1 リード部 2 4 と第 2 リード部 2 5 が同一直線上に延びているから、加熱溶融した半田における表面張力が第 1 リード部 2 4 と第 2 リード部 2 5 との伸びる方向とそれらに交差する発光ダイオードチップ 1 (結晶基板 1 a) の相対峙する 2 つの側辺に沿う方向とに同時且つ略同じ強さで(略均等に)作用する。従って、発光ダイオードチップ 1 における各側面が回路基板 1 0 における左右側縁 1 0 a, 1 0 b に対して非平行の向き姿勢で載せられているか、或いは、発光ダイオードチップ 1 が前記回路基板 1 0 の表面の中心からずれた位置に載せられている場合にも、前記表面張力によるセルフアライメント作用にて、前記四角形の発光ダイオードチップ 1 は、その各側面が四角形の回路基板 1 0 における各側縁と平行又は略平行になる姿勢の向きに自動的に修正されるとともに、当該発光ダイオードチップ 1 が回路基板 1 0 の表面積の中心に正確に位置するように自動的に修正されることになる。

そして、前記発光ダイオードチップ 1 は、前記のように修正された姿勢のままで、溶融半田の凝固にて固定される。

前記各実施形態において、本発明者達の実験によると、加熱溶融した半田における表面張力のセルフアライメントによる前記した自動的な修正は、各リード部の幅寸法を、前記発光ダイオードチップ 1 における四角形の各辺の長さ寸法の 0.1 ~ 0.3 倍程度にしたとき、確実に達成できるのであり、導電性ペースト等の半田ペースト以外の熱溶融性のダイボンディング剤についても同様であった。

つまり、前記各実施形態のように構成することにより、回路基板 1 0 に対する発光ダイオードチップ 1 のダイボンディングに際して、ダイボンディング時におけるセルフアライメントにより、回路基板 1 0 におけ

ファライメント現象にて、平面視四角形の発光ダイオードチップ1は、前記第1リード部15の伸びる方向と発光ダイオードチップ1の第1側辺1a1の交差角度が平面視で略90度になり、同様に、第2リード部22の伸びる方向と第3側辺1a3との交差角度が平面視で略90度となるように、姿勢の向きに自動的に修正される（図8（b）参照）。また、第2リード部22における第1先端電極片23a及び第2先端電極片23bの存在により、第2電極部3との電気的接合が良好となる。

図11（a）及び図11（b）に示す第6実施形態は、前記第5実施形態のリード部15、22と回路基板10の表面とに対して発光ダイオードチップ1の外周寄り部位にレジスト膜21を塗着形成した場合であって、第5実施形態による作用・効果に加えて、第2実施形態（図7（a）及び図7（b）参照）と同様の作用・効果を奏することができる。

図12に示す第7実施形態では、発光ダイオードチップ1における平面視略四角形状の結晶基板1aの片面に形成された第1電極部2は、当該結晶基板の一つ側辺寄りの略中央部に形成された1つの小さい領域のものであり、第2電極部3は、前記第1電極部2と対峙し、且つ結晶基板1aの他の3側辺に沿って伸びるように形成された大きい領域のものであって、図12において左右対称形状となる。回路基板10の表面には、前記第1電極部2及び第2電極部3とにそれぞれ半田ペースト等の加熱溶融性のダイボンディング剤20により接合される第1外部接続用電極12と第2外部接続用電極13とが次に述べるようにパターン形成され、回路基板10の両端の端子電極11、12にそれぞれ一体的に連設されている。

そして、前記第1外部接続用電極11には、前記結晶基板1aにおける1側辺と交差するように伸びる細巾の第1リード部24を一体的に設け、前記第2外部接続用電極12には、前記第1リード部24が伸びる方向と反対向きに延び、且つ前記第1リード部24が交差する1側辺と略平行な結晶基板1aの1側辺と交差するように伸びる一本の第2リード部25を一体的に設け、前記第1リード部24と第2リード部25との間に接続する第3外部接続用電極13を設ける。

図10(a)及び図10(b)に示す第5実施形態は、前記第3実施形態の形態の第1リード部15に対して第2リード部22の基部は平面視で略同一直線上に配置されている。そして、この第2リード部22の先端部には、当該第2リード部22の基部が延びる方向と略直交する方向に延びる第1先端電極片23aと、該第1先端電極片23aと平面視で略直交する方向に延びる第2先端電極片23bとが一体的にパターン形成されており、且つ第2先端電極片23bは、前記第1リード部15と適宜寸法H5だけ偏倚している。また、前記第1先端電極片23a及び第2先端電極片23bは発光ダイオードチップ1(結晶基板1a)の第2電極部3に接続する(重なる)位置に形成されているものである。

このように構成することにより、第1リード部15の先端部と、第2リード部22と、その第1先端電極片23a及び第2先端電極片23bの表面に、図10(a)でハッチングの位置で示すように、前記半田ペースト等の加熱溶融性のダイボンディング剤20を塗着する。次いで、このダイボンディング剤20の上に、発光ダイオードチップ1を第1電極部2及び第2電極部3が下向きになるように反転させて載せ、その状態で半田等の溶融点以上の温度に加熱した後、冷却してダイボンディング剤20を凝固させる。

その場合に、図10(a)に二点鎖線で示すように、回路基板10の一対の側縁10a, 10bに対して、発光ダイオードチップ1における第1側辺1a1及び第4側辺1a4が非平行状に傾いた状態、或いは、発光ダイオードチップ1が前記回路基板10の表面の中心からずれた位置に載せられている場合であっても、加熱溶融した半田(ダイボンディング剤)20における表面張力が、各リード部15, 22と発光ダイオードチップ1の各側辺1a1, 1a3との交差部に同時に作用すると共に第1先端電極片23a及び第2先端電極片23bの表面と第2電極部の表面との隙間にも同時に作用するから、これらの表面張力によるセル

でL字状等で少なくとも第1リード部15の基端が伸びる方向と交差する方向に伸びるように先端電極片23が一体的に形成されているものである。

前記第1リード部15の先端部と、第2リード部22とその各先端電極部23の近傍の表面に、図8(a)でハッチングの位置で示すように、前記半田ペースト等の加熱溶融性のダイボンディング剤20を塗着する。次いで、このダイボンディング剤20の上に、発光ダイオードチップ1を第1電極部2及び第2電極部3が下向きになるように反転させて載せ、その状態で半田等の溶融点以上の温度に加熱した後、冷却してダイボンディング剤20を凝固させる。

その場合に、図8(a)に二点鎖線で示すように、回路基板10の一対の側縁10a, 10bに対して、発光ダイオードチップ1における第1側辺1a1及び第4側辺1a4が非平行状に傾いた状態、或いは、発光ダイオードチップ1が前記回路基板10の表面の中心からずれた位置に載せられている場合であっても、加熱溶融した半田(ダイボンディング剤)20における表面張力が、各リード部15、22と発光ダイオードチップ1の各側辺1a1, 1a3との交差部に同時に作用するから、この表面張力によるセルフアライメント現象にて、平面視四角形の発光ダイオードチップ1は、前記第1リード部15の伸びる方向と発光ダイオードチップ1の第1側辺1a1の交差角度が平面視で略90度になり、同様に、第2リード部22の伸びる方向と第3側辺1a3との交差角度が平面視で略90度となるように、姿勢の向きが自動的に修正される(図8(b)参照)。また、第2リード部22における先端電極片23の存在により、第2電極部3との電気的接合が良好となる。

図9(a)及び図9(b)に示す第4実施形態は、前記第3実施形態の形態のリード部15、22と回路基板10の表面とに対して発光ダイオードチップ1の外周寄り部位にレジスト膜21を塗着形成した場合であって、第3実施形態による作用・効果に加えて、第2実施形態(図7(a)及び図7(b)参照)と同様の作用・効果を奏すことができる

図7(a)及び図7(b)で示す第2実施形態では、前記第1リード部15、第2リード部16a, 16b及び第3リード部17の表面(上面)と回路基板10の表面のうち、発光ダイオードチップ1の外周寄り部位、換言すると、各リード部の基端側(端子電極11、12に近い側)にレジスト膜21を塗着して覆った後、第1リード部15、第2リード部16a, 16b及び第3リード部17の各先端部近傍の表面に、図7(a)でハッチングの位置で示すように、前記半田等の加熱溶融性のダイボンディング剤20を塗着する。

前記各リード部15、16a, 16b、17の上面に塗着された半田(ダイボンディング剤)20が溶融したとき、例えば、前記各リード部15、16a, 16b、17の基端側に塗着量が多くて、その方向(基端側)に溶融半田(ダイボンディング剤)20が引かれて、第1電極部2及び第2電極部3から、前記溶融半田が外れた位置まで移動してしまうと、各リード部と電極部との電気的接合不良が発生する。しかし、上述のような位置にレジスト膜21を形成しておけば、当該レジスト膜21に邪魔されて、各リード部の伸びる方向に沿っての溶融半田の移動が阻止されるから、前記セルフアライメントによる効果による姿勢修正の作用が向上すると共に、電気的接合不良も防止できる。この溶融ダイボンディング剤20の移動を阻止するためには、各リード部だけにレジスト膜21を塗着するのみで良い。さらに、レジスト膜21を白色等、光反射率の高い色のものを使用した場合、発光ダイオードチップ1から発射された光が、回路基板10の表面側であるレジスト膜21にて反射される効率が高くなり、発光ダイオードチップの光効率が向上するという効果も奏する。

図8(a)、図8(b)に示す第3実施形態では、第1外部接続用電極13としての第1リード部15は前記第1、第2実施形態と同じ位置及び形状であるが、第2外部接続用電極14としての第2リード部22は1本であり、且つ第1リード部15と第2リード部22とは適宜寸法H4だけ偏倚している。さらに、第2リード部22の先端部は、平面視

C(続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP 2001-298216 A(松下電器産業株式会社), 2001. 10. 26, 全文, 全図(ファミリーなし)	1-8
A	JP 11-121797 A(松下電子工業株式会社), 1999. 04. 30, 全文, 全図(ファミリーなし)	1-8
A	JP 2001-36147 A(日亜化学工業株式会社), 2001. 02. 09, 全文, 全図(ファミリーなし)	1-8

THIS PAGE BLANK